

GT37US

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 5月16日

出願番号

Application Number:

特願2003-139467

[ST.10/C]:

[JP2003-139467]

出願人

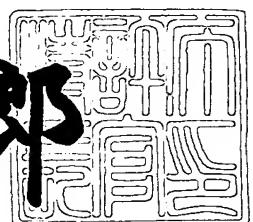
Applicant(s):

株式会社ルネサステクノロジ

2003年 6月 9日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3044812

【書類名】 特許願

【整理番号】 542738JP01

【提出日】 平成15年 5月16日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/768

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサ
ステクノロジ内

【氏名】 荒木 康弘

【特許出願人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100082175

【弁理士】

【氏名又は名称】 高田 守

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100066991

【弁理士】

【氏名又は名称】 葛野 信一

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100106150

【弁理士】

【氏名又は名称】 高橋 英樹

【電話番号】 03-5379-3088

【手数料の表示】

【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 半導体基板と、

この半導体基板上に形成され、第1のコンタクトホールを有する第1の層間絶縁膜と、

前記第1のコンタクトホールに埋め込まれた部分と前記第1の層間絶縁膜の表面から突出した部分とを有する第1のコンタクトプラグと、

この第1のコンタクトプラグの突出した部分の側面に形成されたサイドウォールと、

前記第1の層間絶縁膜、前記第1のコンタクトプラグ及び前記サイドウォールの上に形成され、第2のコンタクトホールを有する第2の層間絶縁膜と、

前記第2のコンタクトホールに形成され、前記第1のコンタクトプラグと接続された第2のコンタクトプラグとを有することを特徴とする半導体装置。

【請求項2】 前記半導体基板上に形成されたゲート電極と、

このゲート電極の近傍の前記半導体基板の表面に形成された活性領域とを有し、

前記第1のコンタクトプラグは前記活性領域と接続され、

前記サイドウォールの横幅は、前記第1のコンタクトプラグと前記ゲート電極との間隔より大きいことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第1のコンタクトプラグは、フラッシュメモリのメモリセルのソース線もしくはドレイン線であり、

前記ゲート電極は前記メモリセルのコントロールゲート及びフローティングゲートを含むことを特徴とする請求項1または請求項2に記載の半導体装置。

【請求項4】 半導体基板と、

この半導体基板上に形成されされ、第1のコンタクトホールを有する第1の層間絶縁膜と、

前記第1のコンタクトホールに形成され、下に凸の漏斗型を有する第1のコンタクトプラグと、

前記第1の層間絶縁膜及び前記第1のコンタクトプラグ上に形成され、第2のコンタクトホールを有する第2の層間絶縁膜と、

前記第2のコンタクトホールに形成され、前記第1のコンタクトプラグと接続された第2のコンタクトプラグを有する半導体装置。

【請求項5】 前記第1のコンタクトプラグは、前記第1のコンタクトプラグに埋め込まれた部分と前記第1の層間絶縁膜の表面から突出した部分とを有し、

この第1のコンタクトプラグの突出した部分の側面に形成されたサイドウォールを有することを特徴とする請求項4記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、第1の層間絶縁膜に形成された第1のコンタクトプラグと、第2の層間絶縁膜に形成され、第1のコンタクトプラグと接続された第2のコンタクトプラグを有する半導体装置に関する。

【0002】

【従来の技術】

近年、半導体装置の微細化に伴い、多層配線技術が不可欠となっている。この多層配線技術において、トランジスタ等と層間絶縁膜上の配線とを接続するためには、層間絶縁膜にコンタクトプラグが形成されている。

【0003】

そして、このコンタクトプラグの形成を2段階に分けて、エッチングマージンを減らし、半導体装置を微細化することが行われている。この場合、第1の層間絶縁膜にLIC (Local Interconnect)として第1のコンタクトプラグを形成し、第1の層間絶縁膜の上に第2の層間絶縁膜を形成し、この第2の層間絶縁膜に第1のコンタクトプラグと接続するように第2のコンタクトプラグを形成する。

【0004】

しかし、第2のコンタクトプラグを形成するために第2の層間絶縁膜をエッチングする際に、重ね合わせのズレにより、第1のコンタクトプラグ上でエッテン

ゲが止まらず、第1の層間絶縁膜下のゲート電極3等まで突き抜けてエッチングされてしまうという問題があった。これが原因でショートなどが懸念される。これに対して、従来は、第1の層間絶縁膜上の全面に窒化膜を設けて、エッチングの突き抜けを防いでいた（例えば、特許文献1）。

【0005】

【特許文献1】

特開平11-204634号公報（第2-3頁、第12図）

【0006】

【発明が解決しようとする課題】

しかし、従来の半導体装置では、フラッシュメモリに適用した場合に、全面に設けた窒化膜により、UV照射時に、フローティングゲート内の電子が引き抜かれないという問題があった。

【0007】

この発明は、上述のような問題を解決するためになされたもので、その目的は、第1の層間絶縁膜の全面に窒化膜を設けることなく、第1のコンタクトプラグと第2のコンタクトプラグの重ね合わせのズレによるエッチングの突き抜けを防ぐことができる半導体装置を得るものである。

【0008】

【課題を解決するための手段】

この発明に係る半導体装置は、半導体基板と、この半導体基板上に形成され、第1のコンタクトホールを有する第1の層間絶縁膜と、第1のコンタクトホールに埋め込まれた部分と第1の層間絶縁膜の表面から突出した部分とを有する第1のコンタクトプラグと、この第1のコンタクトプラグの突出した部分の側面に形成されたサイドウォールと、第1の層間絶縁膜、第1のコンタクトプラグ及びサイドウォールの上に形成され、第2のコンタクトホールを有する第2の層間絶縁膜と、第2のコンタクトホールに形成され、第1のコンタクトプラグと接続された第2のコンタクトプラグとを有する。この発明のその他の特徴は以下に明らかにする。

【0009】

【発明の実施の形態】

実施の形態1.

以下、この発明の実施の形態1における発明をフラッシュメモリのメモリセルに適用した場合を例にとって説明する。図1はこの発明の実施の形態1における半導体装置の製造方法を示す概略断面図である。まず、図1(a)に示すように、フラッシュメモリのメモリセルが形成された半導体基板1上に、酸化膜からなる第1の層間絶縁膜2を形成する。ここで、半導体基板1上には、ゲート電極3として、下からトンネル酸化膜4、フローティングゲート5、ONO膜6、コントロールゲート7が形成されている。そして、半導体基板1の表面に、ゲート電極3を挟んで、活性領域であるドレイン領域8及びソース領域9を形成する。すなわち、ゲート電極3の近傍の半導体基板1の表面に、活性領域を形成する。

【0010】

次に、図1(b)に示すように、第1の層間絶縁膜2を選択的にエッチングして、ドレイン領域8及びソース領域9上に、それぞれ、ストレートな形状の第1のコンタクトホール10, 11を形成する。そして、図1(c)に示すように、W, Cu, Tiなどの配線材料を堆積して、第1のコンタクトホール10, 11を埋め込み、CMP(Chemical Mechanical Polishing)により、第1のコンタクトホール10, 11内のみに配線材料が残るようにする。これにより、第1のコンタクトホール10, 11に、それぞれ、第1のコンタクトプラグ12, 13が形成される。この第1のコンタクトプラグ12, 13は、それぞれフラッシュメモリのメモリセルのソース線及びドレイン線であり、それぞれドレイン領域8及びソース領域に接続されている。

【0011】

そして、図1(d)に示すように、第1のコンタクトプラグ12, 13のエッティング速度が小さいエッティング条件で、第1の層間絶縁膜2を500~1000Åエッティングし（第1の層間絶縁膜2表面とゲート電極3との間隔は4000Åとなる）、第1の層間絶縁膜2の表面から第1のコンタクトプラグ12, 13の一部を突出させる。これにより、第1のコンタクトプラグ12, 13は、第1のコンタクトホール10, 11に埋め込まれた部分と第1の層間絶縁膜2の表面か

ら突出した部分とを有するようになる。

【0012】

次に、図1 (e) に示すように、第1の層間絶縁膜2及び第1のコンタクトプラグ12, 13を覆うように、SiN膜14を1000~2000Å堆積する。そして、図1 (f) に示すように、このSiN膜14を異方性エッティングして、第1のコンタクトプラグ12, 13の突出した部分の側面にサイドウォール15を形成する。

【0013】

このサイドウォール15は、下面が全面的に第1の層間絶縁膜2と接し、第1のコンタクトプラグ12, 13と接する部分が最も厚く、第1のコンタクトプラグ12, 13から遠くなるにしたがって薄くなるテーパ形状を有する。また、サイドウォール15の横幅は、第1のコンタクトプラグ12, 13とゲート電極3との間隔より大きい。すなわち、上方から見ると、サイドウォール15とゲート電極3とは一部が重なっている。ただし、ゲート電極3の中央部分は、サイドウォール15とは重なっていない。

【0014】

次に、図1 (g) に示すように、第1の層間絶縁膜2、第1のコンタクトプラグ12, 13及びサイドウォール15の上に第2の層間絶縁膜16を3000Å形成し、CMPで平坦化後、サイドウォール15をエッティングストップとして第2の層間絶縁膜16を選択的にエッティングして、ストレートな形状の第2のコンタクトホール17, 18を形成する。そして、図1 (h) に示すように、第2のコンタクトホール17, 18に、W, Cu, Tiなどの配線材料を埋め込み、CMPで平坦化して、第1のコンタクトプラグ12, 13とそれぞれ接続された第2のコンタクトプラグ19, 20を形成する。

【0015】

以上のように、サイドウォール15をエッティングストップとすることにより、第2のコンタクトホール17, 18をエッティング形成する際に、第1のコンタクトプラグ12, 13との重ね合わせのズレによるエッティングの突き抜けを防ぐことができる。これにより、エッティングマージンを確保するために配線間隔を広く

する必要がなくなり、メモリセルアレイを微細化できる。

【0016】

また、上記のように、重ね合わせのズレによるエッティングの突き抜けを防ぐことができるため、第2の層間絶縁膜16を厚くすることができる。これにより、第1の層間絶縁膜2及び第2の層間絶縁膜16の合計の膜厚を15500Åで一定とすると、第1の層間絶縁膜2を薄くすることができ、第1のコンタクトホール10, 11のエッティングを容易にすることができる。

【0017】

そして、サイドウォール15を設けたことにより、第2のコンタクトホール17, 18のエッティングと同時に、メモリセル以外の周辺部分のコンタクトホールであって、第1の層間絶縁膜2及び第2の層間絶縁膜16の双方を貫通するものをエッティングすることができるので、工程数を削減できる。ここで、フラッシュメモリの場合、メモリセルのゲートが2段あって第1の層間絶縁膜2が厚くなる傾向にあるため、本発明は特に有効である。

【0018】

さらに、本発明において、サイドウォール15は、第1のコンタクトプラグ12, 13の側壁だけに設けられ、全面を覆っているわけではない。すなわち、ゲート電極3の中央部分は、サイドウォール15と重なっていない。このため、UV照射してフローティングゲート5内の電子を引き抜く際に、サイドウォール15が妨げにならない。よって、本発明はフラッシュメモリに適している。

【0019】

なお、本発明は、上記のようにドレイン領域8に接続されるコンタクトプラグとソース領域9に接続されるコンタクトプラグの両方に用いるのが最適であるが、片方だけに用いてもよい。その際、通常はドレイン領域8よりもソース領域9の方が幅が狭いため、ソース領域9に接続されるコンタクトプラグに用いるとよい。また、上記では、フラッシュメモリを例にとって説明したが、本発明は、他の半導体装置においても適用できる。

【0020】

実施の形態2.

図2はこの発明の実施の形態2における半導体装置を示す概略断面図である。図1(h)と同様の構成要素には同じ番号を付し、詳しい説明は省略する。この半導体装置は、図2に示すように、半導体基板1と、半導体基板1上に形成され、下に凸の漏斗型を有する第1のコンタクトホール21を有する第1の層間絶縁膜2と、この第1のコンタクトホール21に形成され、下に凸の漏斗型を有する第1のコンタクトプラグ22と、第1の層間絶縁膜2及び第1のコンタクトプラグ22上に形成され、第2のコンタクトホール18を有する第2の層間絶縁膜16と、この第2のコンタクトホール18に形成され、第1のコンタクトプラグ22と接続された第2のコンタクトプラグ20を有する。

【0021】

ここで、第1のコンタクトプラグ22は、二つのゲート電極3の間にある部分では細くなっている、それぞれのゲート電極3に対して所定の間隔を有している。そして、第1のコンタクトプラグ22は、ゲート電極3よりも上の部分において太くなっている、上から見ると、ゲート電極3と一部重なっている。ただし、ゲート電極3の中央部分は、第1のコンタクトプラグ22とは重なっていない。

【0022】

これにより、実施の形態1と同様に、第1の層間絶縁膜の全面に窒化膜を設けることなく、第1のコンタクトプラグと第2のコンタクトプラグの重ね合わせのズレによるエッチングの突き抜けを防ぐことができる等の効果を有する。

【0023】

実施の形態3。

図3はこの発明の実施の形態3における半導体装置を示す概略断面図である。図1(h)と同様の構成要素には同じ番号を付し、詳しい説明は省略する。図3に示すように、下に凸の漏斗型を有する第1のコンタクトプラグ22は、第1のコンタクトホール21に埋め込まれた部分と第1の層間絶縁膜2の表面から突出した部分とを有する。そして、この突出した部分の側面に、サイドウォール23が形成されている。

【0024】

ここで、このサイドウォール23は、上方から見ると、ゲート電極3と一部重

なっている。ただし、ゲート電極3の中央部分は、サイドウォール23とは重なっていない。

【0025】

これにより、実施の形態1及び実施の形態2と同様に、第1の層間絶縁膜の全面に窒化膜を設けることなく、第1のコンタクトプラグと第2のコンタクトプラグの重ね合わせのズレによるエッチングの突き抜けを防ぐことができる等の効果を有する。

【0026】

【発明の効果】

この発明は以上説明したように、第1の層間絶縁膜の全面に窒化膜を設けることなく、第2のコンタクトホールをエッチング形成する際に、第1のコンタクトプラグとの重ね合わせのズレによるエッチングの突き抜けを防ぐことができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1における半導体装置の製造方法を示す断面図である。

【図2】 この発明の実施の形態2における半導体装置を示す断面図である

【図3】 この発明の実施の形態3における半導体装置を示す断面図である

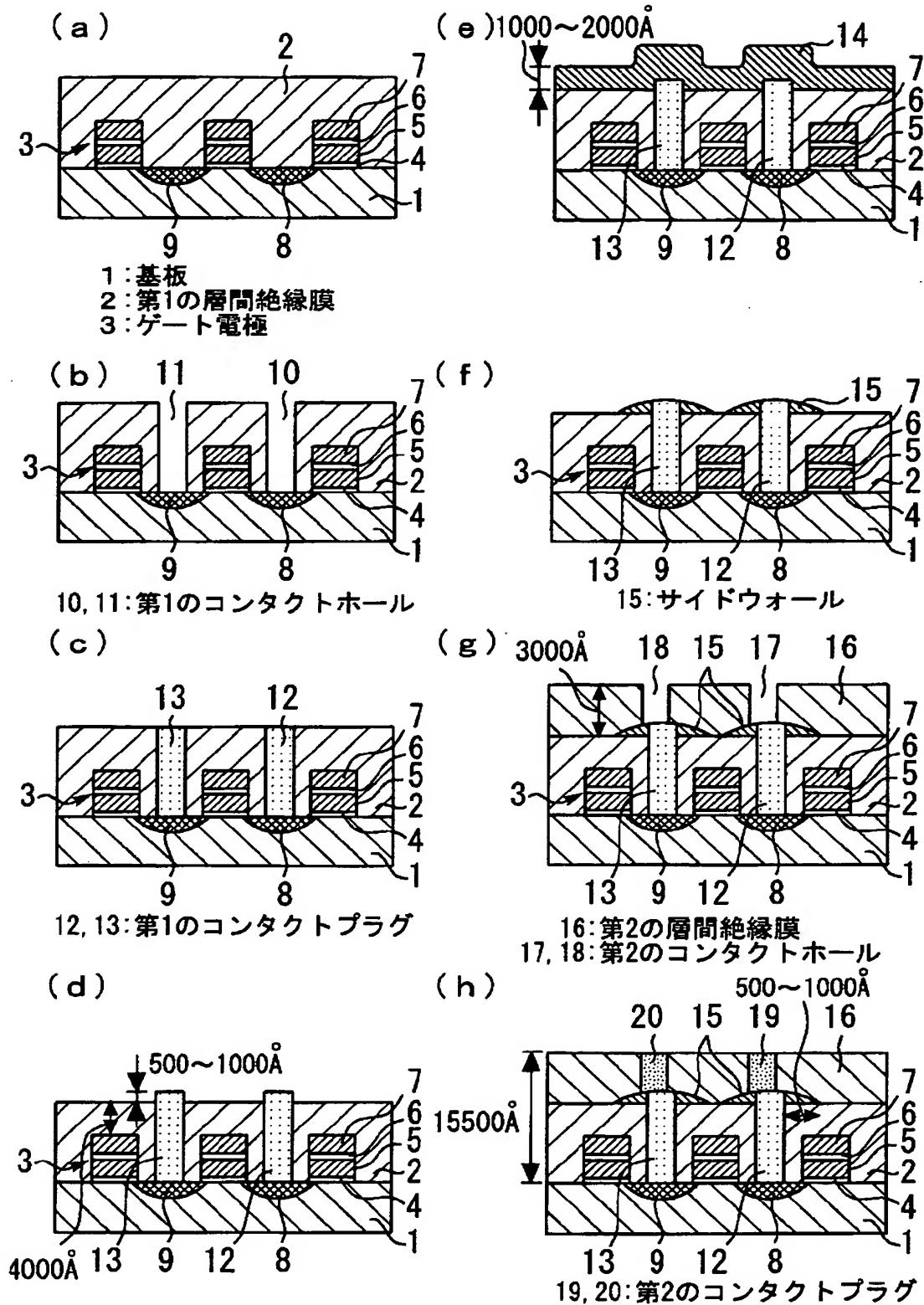
【符号の説明】

- 1 基板
- 2 第1の層間絶縁膜
- 3 ゲート電極
- 10 第1のコンタクトホール
- 11 第1のコンタクトホール
- 12 第1のコンタクトプラグ
- 13 第1のコンタクトプラグ
- 15 サイドウォール
- 16 第2の層間絶縁膜

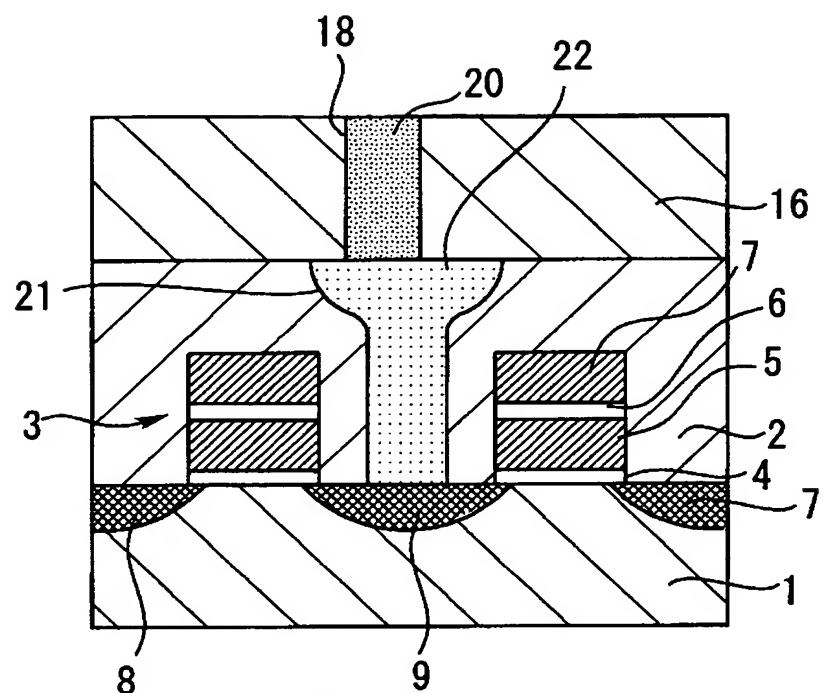
- 17 第2のコンタクトホール
- 18 第2のコンタクトホール
- 19 第2のコンタクトプラグ
- 20 第2のコンタクトプラグ
- 21 第1のコンタクトホール
- 22 第1のコンタクトプラグ
- 23 サイドウォール

【書類名】 図面

【図1】

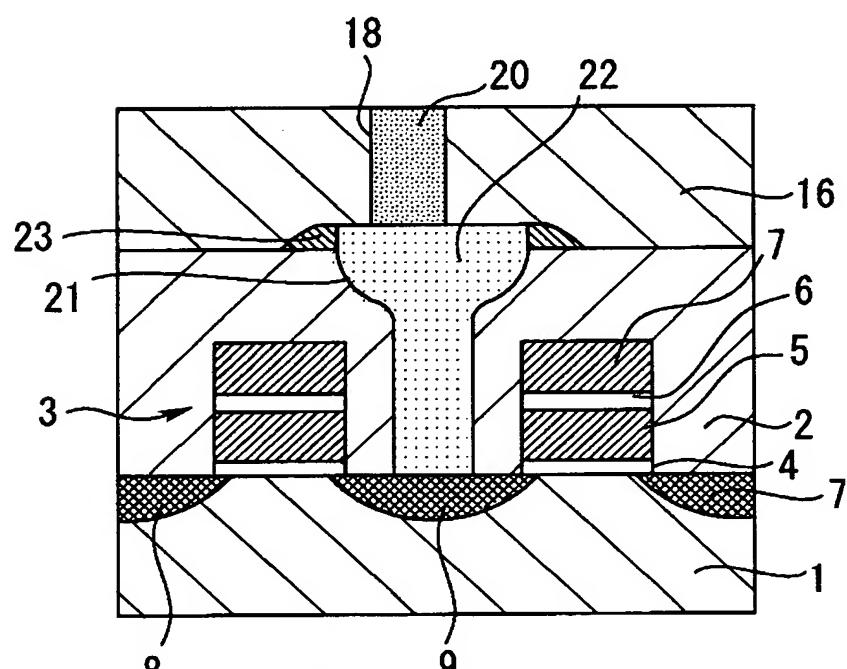


【図2】



21:第1のコンタクトホール

【図3】

22:第1のコンタクトプラグ
23:サイドウォール

【書類名】 要約書

【要約】

【課題】 第1の層間絶縁膜の全面に窒化膜を設けることなく、第1のコンタクトプラグと第2のコンタクトプラグの重ね合わせのズレによるエッチングの突き抜けを防ぐ。

【解決手段】 半導体基板1と、この半導体基板上に形成され、第1のコンタクトホールを有する第1の層間絶縁膜2と、この第1の層間絶縁膜2に形成され、第1のコンタクトホールに埋め込まれた部分と第1の層間絶縁膜2の表面から突出した部分とを有する第1のコンタクトプラグ12, 13と、この第1のコンタクトプラグ12, 13の突出した部分の側面に形成されたサイドウォール15と、第1の層間絶縁膜2、第1のコンタクトプラグ12, 13及びサイドウォール15の上に形成され、第2のコンタクトホールを有する第2の層間絶縁膜16と、この第2のコンタクトホールに形成され、第1のコンタクトプラグ12, 13と接続された第2のコンタクトプラグ19, 20とを有する。

【選択図】 図1

出願人履歴情報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日

[変更理由] 新規登録

住 所 東京都千代田区丸の内二丁目4番1号

氏 名 株式会社ルネサステクノロジ